

## FABRIKASI CHIP MASKED-READ ONLY MEMORY 112 BITS DENGAN TEKNOLOGI N-CHANNEL METAL OXIDE SEMICONDUCTOR (N-MOSFET)

Ayub Subandi<sup>1</sup>, Irman Idris<sup>2</sup>

<sup>1</sup>Jurusan Teknik Komputer, Fakultas Teknik dan Ilmu Komputer, Universitas Komputer Indonesia  
Jl. Dipatiukur no.112-116 Bandung 40132

e-mail: [kangayub@gmail.com](mailto:kangayub@gmail.com)

<sup>2</sup> Pusat Mikroelektronika – ITB  
Jl. Ganesha No. 10, Bandung – Jawa Barat 40135  
Tel : (022) 251 2674

### ABSTRAK

Pada penelitian ini, dilakukan fabrikasi rangkaian terintegrasi (IC=Integrated Circuit) Masked-ROM 112 bits dengan teknologi NMOS (n-channel Metal Oxide Semiconductor) berikut gerbang-gerbang logika. Gerbang logika yang dipakai adalah inverter, AND, dan NOR. Proses-proses yang digunakan diantaranya pencucian wafer, fotolitografi, oksidasi, deposisi polisilikon, dan metalisasi Aluminium. Dari hasil pengukuran terhadap divais yang dibuat diperoleh threshold voltage positif. Karakterisasi gerbang logika secara umum telah tercapai. Akan tetapi masked-ROM yang difabrikasi masih tidak sesuai dengan yang diharapkan.

*Kata kunci:* Masked-ROM, NMOSFET, Inverter, AND, NOR, pencucian wafer, fotolitografi, oksidasi, deposisi polisilikon, metalisasi Aluminium, threshold voltage.

### 1. PENDAHULUAN

Pada dasarnya memori terbagi menjadi dua kategori yaitu : memori baca/tulis acak (RAM-Random Access Memory) dan memori hanya baca (ROM-Read Only Memory). Bila data sering berubah membutuhkan RAM, sedangkan bila data tidak pernah berubah mengarah kepada penggunaan ROM. Data pada ROM disimpan permanen dalam masing-masing sel, maka hilangnya daya tidak mengakibatkan hilangnya data. Dengan demikian ROM merupakan penyimpanan yang nonvolatile[7].

Kebanyakan pembuatan/pengalamatan ROM ditentukan pada saat pembuatan masker, ROM jenis ini dinamakan dengan Masked-ROM. Ada dua cara pengalamatan, pertama dibuat dengan cara mencantumkan atau tidaknya suatu transistor dalam sel memori dan cara kedua yaitu ditentukan pada saat penumbuhan interkoneksi metal. Pada penelitian ini digunakan cara pertama, yaitu dengan mencantumkan atau tidak transistor dalam sel memori.

Sebelumnya di Laboratorium Proses PPAU-ME ITB, pembuatan divais semikonduktor hanya terbatas pada divais tunggal seperti dioda, transistor, disamping pembuatan komponen sensor. Dengan terdorong perkembangan teknologi mikroelektronik yang semakin pesat sampai pada teknologi nano, maka pada penelitian yang dilaksanakan dicoba pembuatan rangkaian terintegrasi meskipun teknologi yang dipakai adalah 20 mikron.

Sebelumnya NMOSFET yang di fabrikasi di laboratorium Pemrosesan IC PPAU-ME masih bersifat deplesi, meskipun proses yang dilakukan bertujuan untuk mendapatkan devais yang bersifat *enhancement* (peningkatan).

### 2. PERANCANGAN

#### Diode Sambungan p-n

Ketika substrat didifusi dengan ketidakmurnian yang sama maka akan menurunkan resistansi sheet, sehingga konsentrasi permukaan substrat akan tinggi, sedangkan bila substrat diberi ketidakmurnian yang berbeda maka akan terbentuk sambungan p-n. Sambungan ini dalam divais NMOSFET dapat dilihat pada Source dan Drain. Untuk itu karakterisasi sambungan yakni sambungan p-n dianggap perlu dibuat pola testnya.

Ketidakhomogenan berdifusi dari daerah konsentrasi tinggi ke daerah konsentrasi rendah, dan berekomendasi satu sama lain. Misalnya hole pada tipe-p mempunyai ketidakmurnian yang lebih tinggi akan berdifusi ke daerah rendah, atau terjadi juga pada elektron. Proses ini tidak terjadi simultan. Misalnya untuk hole yang meninggalkan dari daerah tipe-p hilang ke daerah tipe-n karena berekomendasi, sebuah akseptor akan di ionisasi menjadi daerah negatif dari daerah tipe-p, yang membentuk muatan ruang negatif.

Peristiwa ini akan menjadikan medan listrik yang berawal dari ruang bermuatan positif, berakhir pada ruang bermuatan negatif, dan sebaliknya. Medan listrik yang terjadi akan mengakibatkan hole terhambat berdifusi dari tipe-p ke tipe-n. Untuk elektron terhambat berdifusi dari tipe-n ke tipe-p. Akhirnya aliran akan berhenti setelah terjadi kesetimbangan.

Jika diberi tegangan positif ke sisi-p, sambungan p-n menjadi bias maju. Sebaliknya jika memberikan tegangan positif ke sisi-n, sambungan p-n menjadi bias mundur. Persamaan arus tegangan pada sambungan p-n adalah :

$$I = I_s \left( e^{qV/kT} - 1 \right) \quad (1)$$

dengan  $I =$  Arus (A),  $I_s =$  arus saturasi (A),  $k =$  konstanta Boltzmann =  $8,62 \times 10^{-5} \text{ eV/}^\circ\text{K}$ ,  $T =$  temperature ( $^\circ\text{K}$ ).

**Kapasitor Metal Oxide Semiconductor (MOS)**

Kapasitor atau dioda MOS merupakan sebuah divais yang tersusun dari lapisan elektroda logam (metal), lapisan oksida silikon ( $\text{SiO}_2$ ) yang berfungsi sebagai isolator, dan lapisan semikonduktor (Si) sebagai substrat. Kapasitansi oksida persatuan luas adalah ;

$$C_{ox} = \frac{\epsilon_{ox}}{t_{ox}} \tag{2}$$

dengan :  $C_{ox} =$  kapasitansi oksida,  $\epsilon_{ox} =$  permitivitas oksida,  $t_{ox} =$  tebal oksida.

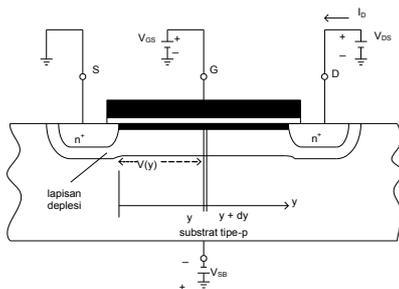
Jika gate diberi tegangan positif yang besar menjadikan kerapatan pembawa muatan minoritas (elektron=bermuatan negatif) sebagai ion akseptor akan lebih besar dari pembawa muatan mayoritas (hole) sehingga terjadi kebalikan tipe semikonduktor pada permukaan, dari tipe-p menjadi tipe-n. disamping itu juga bila tegangan pada permukaan terus diperbesar, mengakibatkan elektron sebagai pembawa muatan minoritas akan semakin menumpuk di permukaan.

Tegangan ambang ( $V_T$ -threshold voltage) adalah tegangan minimum yang harus diberikan pada gate agar terjadi kondisi inversi, nilainya adalah :

$$V_{TH} = V_{FB} + 2\phi_F - \frac{Q_B}{C_{ox}} \tag{3}$$

dengan :  $V_{TH} =$  tegangan ambang,  $V_{FB} =$  tegangan flatband,  $\phi_F =$  tegangan fermi,  $Q_B =$  muatan bulk.

**Struktur NMOSFET**



Gambar 1. Struktur NMOSFET

Dalam keadaan normal sebelum tegangan gate diberikan maka antara source dan drain tidak ada konduktansi karena terisolasi oleh dioda p-n terhubung saling terbalik. Arus yang dapat mengalir dari source ke drain dalam keadaan ini hanyalah arus reverse bocor.

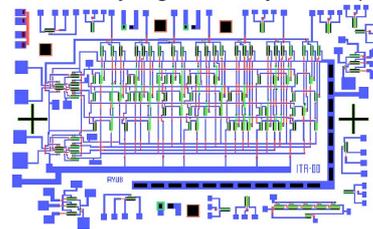
Gate diberikan tegangan positif terhadap substrat dan source, timbul medan listrik pada oksida gate yang menyebabkan penimbunan elektron didaerah kanal yaitu antara silikon dan silikon oksida. Penambahan tegangan pada gate menyebabkan semakin banyak elektron yang tertimbun pada silikon

dibawah oksida gate. Sehingga akan menjadi perubahan substrat yang tadinya dari tipe-p akan berubah menjadi tipe-n pada kanal, keadaan ini disebut inversi.

Bila diberikan tegangan positif pada gate dan tegangan kecil pada drain, elektron akan mengalir dari source ke drain (arus akan mengalir dari drain ke source) melalui saluran inversi.

**Perancangan Masked Read Only Memory**

Perancangan dan pengukuran divais ROM meliputi ketentuan struktur rangkaian mulai dari struktur NMOSFET sampai struktur ROM, dan perancangan geometris. Perancangan geometris divais direalisasikan dalam bentuk layout seperti diperlihatkan pada gambar 2. Layout ditentukan dengan pertimbangan teknologi yang dimiliki dan fasilitas pemrosesan yang tersedia yaitu 20  $\mu\text{m}$ .



Gambar 2. Layout Masked-ROM

Layout yang dihasilkan dicetak pada film emulsi (master) sedangkan untuk mendapatkan masker maka master yang berukuran besar direduksi sampai teknologi yang diinginkan menggunakan *photo reduction camera*. Bahan yang digunakan adalah *glass plate*. Proses selanjutnya adalah mencelupkan kedalam larutan *developer* sampai timbul pola. Pola yang terbentuk di *glass plate* masih kurang kuat dan kalau kena sinar dan udara luar pola akan hilang untuk itu masukan kedalam larutan *fixer*. Lalu bilas dengan air beberapa menit. Langkah terakhir adalah pengeringan menggunakan kompresor udara. Ada 5 masker yang digunakan untuk fabrikasi masked-ROM dengan teknologi NMOSFET.

**3. FABRIKASI**

Pembuatan divais IC dengan teknologi NMOSFET harus melihat proses yang dipakai pada teknologi itu, diantaranya : pencucian wafer, oksidasi, difusi, fotolitografi, deposisi polisilikon, metalisasi.

**Persiapan dan Pencucian wafer**

Wafer Silikon yang digunakan bertipe-p dengan orientasi  $\langle 111 \rangle$ , resistivitas 1,3-5  $\Omega\text{.cm}$ , berdiameter 2 inchi, dengan ketebalan 381 mikron. Wafer dipotong-dipotong sesuai dengan divais yang akan dibuat.

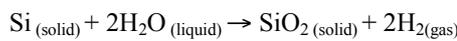
Untuk menghilangkan kontaminasi, sebelum melakukan pemrosesan atau antar pemrosesan wafer harus dicuci terlebih dahulu dengan menggunakan bahan kimia dan air yang bebas ion (*deionized water -DIH<sub>2</sub>O*). Tahap pencucian wafer diantaranya menghilangkan senyawa organik, menghilangkan

# Fabrikasi Chip Masked-Read Only Memory 112 Bits Dengan Teknologi N-Channel Metal Oxide Semiconductor (N-Mosfet)

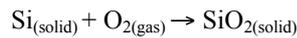
senyawa anorganik dan menghilangkan oksida tipis yang tidak diinginkan.

## Oksidasi

Oksidasi adalah proses pembentukan lapisan SiO<sub>2</sub> diatas permukaan wafer silikon. Oksidasi pada fabrikasi ini menggunakan metoda temperatur tinggi. Ada dua oksidasi thermal yang dilakukan, yaitu oksidasi basah dan oksidasi kering. Oksidasi basah dilakukan dengan mengalirkan gas oksigen murni kedalam *bubbler* berisi DIH<sub>2</sub>O yang dididihkan, kemudian uap airnya dialirkan kedalam tungku yang berisi wafer yang akan dioksidasi. Oksidasi ini digunakan pada oksida medan (*field Oxide*) untuk masker pada saat proses difusi. Reaksi kimia yang terjadi adalah :



Oksidasi kering dilakukan dengan mengalirkan gas O<sub>2</sub> murni dan kering kedalam tungku oksidasi yang berisi wafer. Pertumbuhan oksida lambat, tetapi kualitas dielektriknya baik. Reaksi kimia yang terjadi adalah :



## Difusi

Ketidakhayuan dapat diberikan pada substrat silikon menggunakan difusi maupun implantasi ion. Ketidakhayuan didifusikan dari permukaan semikonduktor kedalam bulk yang dipanaskan pada temperatur tinggi. Difusi terjadi pada suhu 800-1400°C. Difusi dibagi menjadi predeposisi dan drive-in.

### 1. Predeposisi

Predeposisi digunakan *solid source* yang dikikis oleh gas nitrogen sebagai gas pembawa. Proses predeposisi bergantung pada tercapai tidaknya kelarutan padat (*solid Solubility*) bahan pengedop pada permukaan Silikon. Jika sudah tercapai maka bahan pengedop akan berdifusi sebagai fungsi dari koefisien difusi serta waktu. Hal ini sesuai dengan hukum Fick kedua :

$$\frac{\partial N}{\partial t} = D \frac{\partial^2 N}{\partial x^2} \quad (4)$$

dimana : D = konstanta difusi

Solusi hukum Fick diatas menghasilkan persamaan konsentrasi ketidakhayuan :

$$C(x,t) = C_s \operatorname{erfc}\left(\frac{x}{\sqrt{Dt}}\right) \quad (5)$$

dengan : C(x,t) = konsentrasi, C<sub>s</sub> = *solid solubility* doping, x = kedalaman sambungan, t = lamanya difusi

### 2. Drive-in

*Drive-in* dilakukan dengan pemanasan sampel tanpa *source dopant* pada temperatur tinggi agar atom-atom ketidakhayuan tersebut lebih masuk kedalam substrat dan memperbaiki profil difusi.

Solusi hukum Fick kedua :

$$C(x,t) = \frac{Q}{\sqrt{\pi Dt}} \exp\left(\frac{-x^2}{4Dt}\right) \quad (6)$$

dimana : Q = jumlah atom ketidakhayuan,  $\pi = 3,14159$  dengan :  $C_s = \frac{Q}{\sqrt{\pi Dt}}$  adalah konsentrasi permukaan setelah drive-in.

Kedalaman sambungan setelah drive-in

$$X_j = 4Dt \ln \frac{Q}{C_b \sqrt{\pi Dt}} \quad (7)$$

## Fotolitografi dan Etsa

Fotolitografi merupakan proses pemindahan pola dari masker kelapisan fotoresist yang terbuat dari bahan yang peka terhadap radiasi cahaya, umumnya daerah ultraviolet. Sedangkan pemindahan pola dari lapisan fotoresist ke lapisan di bawahnya, dilakukan melalui proses etsa. Terdapat dua jenis resist yang digunakan yaitu resist positif dan resist negatif. Penggunaannya tergantung pada pola yang diinginkan. Pada waktu pencetakan setelah penyinaran ultraviolet, bagian resist dari tipe positif setelah disinari akan hilang sedangkan bagian yang tertutup oleh masker masih ada. Pada resist negatif terjadi sebaliknya.

Teknik fotolitografi meliputi : pelapisan fotoresist menggunakan spinner, proses selanjutnya adalah pemanasan awal (*prebake*) bertujuan untuk menambah daya adhesi antara resist dengan lapisan dibawahnya, pelurusan dan penyinaran menggunakan mask aligner, Selanjutnya adalah developer (pengembangan) untuk menimbulkan pola pada resist, dan proses fotolitografi terakhir adalah pemanasan akhir (*postbake*) yang bertujuan untuk menguatkan resist.

Sesudah fotolitografi maka langkah selanjutnya adalah etsa. Tujuan dilakukan etsa adalah untuk membuka lapisan pada tempat-tempat yang tidak tertutup oleh resist. Resist yang masih ada harus dibuang karena tidak berguna dan akan mengotori proses selanjutnya dengan menggunakan stripper resist.

## Deposisi Polisilikon

Polisilikon di gunakan untuk elektroda gate sebagai pengganti metal, sebagai konduktor untuk pengkawatan bertingkat (*multilevel metalization*), sebagai bahan aktif dalam sensor temperatur, dan untuk interkoneksi. Di gunakan polisilikon untuk gate karena polisilikon dapat diatur harga resistivitas, dengan cara mendoping polisilikon. Deposisi polisilikon menggunakan reaktor LPCVD (*Low Pressure Chemical Vapour Deposition*).

## Metalisasi Aluminium

Metalisasi digunakan untuk interkoneksi dan membentuk kontak dengan dunia luar. Bahan yang digunakan untuk metalisasi adalah aluminium (Al). Prosesnya yaitu dengan cara penembakan target yang berada pada chamber sangat vakum. Deposisi Aluminium digunakan Sputtering.

## Langkah-Langkah Fabrikasi Masked-Read Only Memory dengan Teknologi NMOSFET.

Wafer Silikon yang digunakan mempunyai spesifikasi : tipe-p, orientasi kristal <111>, diameter wafer 2 inci, tebal wafer 381 mikron, resistivitas 1,5 - 3  $\Omega$ cm. Sesudah dipotong-dipotong dilakukan pencucian wafer dengan menggunakan teknik RCA yaitu : menghilangkan bahan anorganik menggunakan  $H_2SO_4 : H_2O_2 = 2 : 1$  ( $80^\circ C$ ), dan Aceton selama 15 menit, menghilangkan bahan organik dan kontaminasi ion menggunakan  $NH_4OH : H_2O_2 : DI H_2O = 1 : 1 : 5$  ( $70^\circ C$ ) selama 15 menit, menghilangkan oksida menggunakan  $HF : DIH_2O = 1 : 50$  selama 30 detik, menghilangkan logam berat digunakan  $HCl : H_2O_2 : DI H_2O = 1 : 1 : 5$  ( $70^\circ C$ ) selama 15 menit. Lalu bilas  $DIH_2O$  yang menempel pada wafer dengan menggunakan gas  $N_2$ .

Sampel yang baru dibilas jangan didiamkan diluar sebaiknya langsung di masukan kedalam tungku oksidasi basah untuk menghindari kontaminasi partikel dari luar. Proses oksidasi ini digunakan untuk oksida medan dengan temperatur  $1050^\circ C$  selama 5 jam. ketebalan yang diinginkan 5000 Å.

Proses selanjutnya adalah fotolitografi daerah aktif dan etsa oksida, resis di teteskan pada permukaan wafer yang divakumkan lalu di putar menggunakan spinner dengan kecepatan 700 rpm selama 2 detik, 4000 rpm selama 20 detik, 700 rpm selama 2 detik, berturut-turut. Berikutnya *prebake* selama 2 menit pada suhu  $85^\circ C$ . Untuk mentransfer pola dari masker ke lapisan resist dilakukan *exposure* selama 45 detik. Sebelum di *develop* terlebih dahulu sampel di panaskan selama 2 menit pada suhu  $115^\circ C$ . Lalu proses *developing* selama 2 menit sambil digoyang-goyang. Langkah terakhir fotolitografi adalah pemanasan akhir (*postbake*) selama 5 menit dengan suhu  $115^\circ C$ . Sebelum etsa  $SiO_2$  sampel di lihat diprofil projector untuk melihat hasil secara visual. Kalau dirasakan cukup maka proses etsa  $SiO_2$  bisa dilakukan dengan menggunakan BOE selama 7 menit.

Sesudah proses fotolitografi, sampel diharuskan untuk dicuci dengan menggunakan proses pencucian sama dengan atas, proses selanjutnya adalah oksidasi gate dengan temperature  $1000^\circ C$  selama 1 jam.

Deposisi polisilikon dilakukan setelah oksidasi gate dengan menggunakan tungku *Low Pressure Chemical Deposition* (LPCVD) selama 15 menit pada suhu  $650^\circ C$  dengan menggunakan mengalirkan gas Silane ( $SiH_4$ ) 50 sccm, flow gas  $N_2$  12 sccm dengan tekanan chamber saat deposisi 0,2 mm Hg.

Sampel setelah dideposisi polisilikon difotolitografi untuk mendapatkan pola gate, proses fotolitografi sama dengan fotolitografi daerah aktif. Etsa polisilikon menggunakan campuran larutan  $HF : HNO_3 : CH_3COOH = 1 : 26 : 33$  selama 3 menit, diteruskan etsa Silikon Oksida ( $SiO_2$ ) selama 1,5 menit. Sesudah etsa, resist yang masih menempel dibuang menggunakan larutan stripper.

Pencucian wafer dilakukan sebelum sampel masuk ke tungku difusi. Proses difusi dilakukan dua tahap yaitu predeposisi dan drive-in Phosphor. Suhu predeposisi  $1000^\circ C$  selama 1 jam dengan kecepatan aliran  $N_2$  6 liter/menit, suhu drive-in  $1000^\circ C$  selama 1,5 jam dengan kecepatan aliran  $N_2$  6 liter/menit.

Sesudah difusi Phosphor sampel langsung di oksidasi kering selama 1,5 jam dengan suhu  $1000^\circ C$ . Tujuan oksidasi ini adalah untuk membentuk insulator antara gate dengan lapisan metal. Lalu fotolitografi lubang kontak untuk menghubungkan pola metal dengan pola dibawahnya.

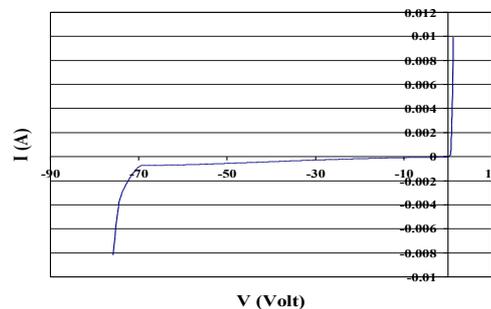
Sebelum masuk ke tungku sputtering untuk deposisi metal Aluminium, sampel dicuci pre-ohmik. Lama deposisi aluminium  $\frac{3}{4}$  menit. Fotolitografi terakhir adalah fotolitografi metal. Diteruskan dengan annealing Aluminium. Maka fabrikasi dengan teknologi NMOS selesai.

#### 4. PENGUJIAN DAN ANALISA

Pengukuran hasil eksperimen tidak langsung dilakukan terhadap divais masked-ROM, tetapi dilakukan pada pola test, diantaranya : pengukuran karakterisasi dioda sambungan p-n, pengukuran karakterisasi kurva C-V MOS, pengukuran karakterisasi I-V NMOSFET, serta karakterisasi output gerbang-gerbang logika. Bila pengukuran pola test berhasil dilakukan sampai tingkat gerbang logika maka pengukuran selanjutnya terhadap kinerja rangkaian masked-ROM.

##### Karakterisasi dioda sambungan p-n

Hasil pengukuran arus terhadap tegangan dioda sambungan p-n dapat dilihat pada gambar 3 di bawah ini.



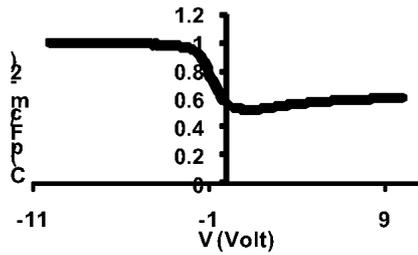
Gambar 3. Kurva I-V dioda p-n

Tegangan forward bias dioda yang dihasilkan pada eksperimen ini adalah 0,6 Volt sedangkan secara ideal tegangan forward 0,7 Volt, hal ini di sebabkan karena adanya arus bocor yang cukup besar pada sambungan, nilainya dalam orde puluhan mikron sampai ratusan mikron. Tegangan breakdown 70 Volt memberikan nilai tegangan minimal yang di berikan pada saat di biaskan adalah  $70/\sqrt{2}$  Volt = 49,5 Volt. Sedangkan keperluan suplai tegangan 20 Volt. Maka tegangan breakdown diatas sudah cukup.

##### Karakterisasi C-V Metal Oxide Semiconductor

Karakterisasi C-V divais MOS diperlihatkan di bawah ini.

# Fabrikasi Chip Masked-Read Only Memory 112 Bits Dengan Teknologi N-Channel Metal Oxide Semiconductor (N-Mosfet)

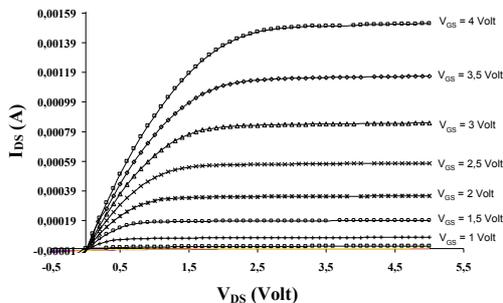


Gambar 4. Kurva C-V MOS

Luas area (A) =  $754 \mu\text{m} \times 755 \mu\text{m} = 0,00569 \text{ cm}^2$ . Dari grafik C-V diatas didapat harga  $C_{\text{max}} = C_{\text{ox}} = 118,7 \text{ pF}$   $C_{\text{min}} = 62,8 \text{ pF}$ . Dengan menggunakan persamaan (2), didapat tebal oksida gate  $1655 \text{ \AA}$ . Kapasitansi flatband  $106,225 \text{ pF/cm}^2$ . Tegangan ambang ( $V_{\text{th}} - \text{threshold voltage}$ ) adalah  $1,02 \text{ Volt}$ .

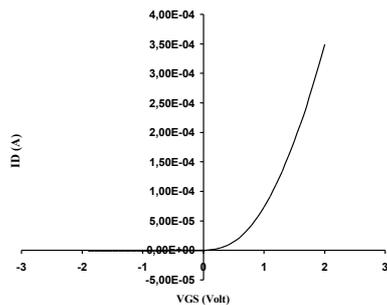
## Karakterisasi NMOSFET

Hasil pengukuran kurva  $I_{\text{DS}}$  terhadap  $V_{\text{DS}}$  pada pola test NMOSFET :



Gambar 5. Kurva Ids-Vds NMOSFET

Hasil pengukuran kurva  $I_{\text{DS}}$  terhadap  $V_{\text{GS}}$



Gambar 6. Kurva Ids-Vgs NMOSFET

Jika Lebar kanal ( $W$ ) =  $635 \mu\text{m}$ , Panjang kanal ( $L$ ) =  $34 \mu\text{m}$ . Dari persamaan arus tegangan :

$$I_{D,\text{sat}} = K(V_{\text{GS}} - V_T)^2 \quad (8)$$

dan

$$k' = \frac{2KL}{W} \quad (9)$$

mobilitas elektron adalah :

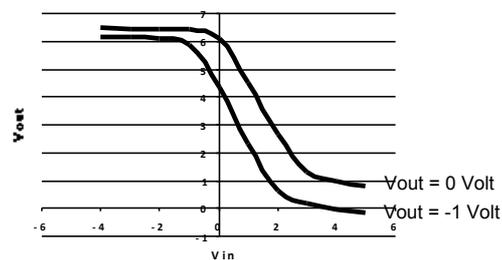
$$\mu_e = \frac{k'}{C_{\text{ox}}} \quad (10)$$

dihasilkan faktor transkonduktansi ( $k'$ ) =  $10,75364 \mu\text{A/V}^2$  mobilitas electron  $\mu_e = 515,25 \text{ cm/V.s}$  dan tegangan ambang ( $V_{\text{th}} = 0,139 \text{ Volt}$ ). Tegangan ambang yang di dihasilkan dari pengukuran  $I_{\text{DS}}$  terhadap  $V_{\text{GS}}$  berharga positif. Maka diavais NMOSFET yang di fabrikasi penulis bersifat *enhancement* (peningkatan), meskipun harga tegangan ambang jauh dari *typical* tegangan ambang yaitu  $(1 \pm 0,3) \text{ Volt}$ .

## Karakterisasi Gerbang-Gerbang Logika

### Hasil pengukuran gerbang logika Inverter

VTC dengan VSS Variabel



Gambar 7. Kurva VTC

### Hasil pengukuran gerbang logika AND

Tabel 1. Hasil pengukuran gerbang logika AND

$V_{\text{IN}}$		$V_{\text{OUT Ideal}}$ (Volt)	$V_{\text{OUT Terukur}}$ Pada $V_{\text{SS}}$ (Volt)	
$V_A$	$V_B$	$V_A \cdot V_B$	-1	-2
0	0	0	-0,05	-0,09
0	5	0	0,08	0,06
5	0	0	1,53	1,21
5	5	5	4,67	4,58

Hasil pengukuran gerbang logika untuk AND menunjukkan level logikanya, walaupun level HIGH dan LOW-nya tidak benar-benar penuh, contoh untuk  $V_A$  dan  $V_B = 5 \text{ Volt}$  maka di dihasilkan keluaran sekitar  $4 - 5 \text{ Volt}$ . Nilai ini mendekati nilai  $V_{\text{out ideal}}$  yaitu  $5 \text{ Volt}$ . Tetapi level LOW nya tidak stabil. Walaupun AND pass gate ini secara struktural sama dengan inverter, tetapi dalam pengoperasian sama sekali berbeda. Sel AND pass gate hanya memiliki satu catu tegangan saja, yaitu VSS. Level HIGH AND disuplai dari tegangan HIGH input di terminal drain, sedangkan tegangan LOW input secara tidak langsung bergantung pada VSS. Seperti yang terlihat pada data tabel, variabel VSS sangat mempengaruhi level LOW ( $V_A=5 \text{ Volt}$   $V_B=0$ ),

sedangkan level HIGH relatif sedikit perubahannya, hanya berubah  $\pm 0.5$  V.

**Hasil pengukuran gerbang logika NOR**

**Tabel 2.** Hasil pengukuran gerbang logika NOR

V <sub>IN</sub> (Volt)		V <sub>OUT</sub> Ideal (Volt)	V <sub>OUT</sub> Terukur Pada V <sub>DD</sub> (Volt)	
V <sub>A</sub>	V <sub>B</sub>		14	12
0	0	0	5,92	4,03
0	5	0	1,106	0,741
5	0	0	1,194	0,797
5	5	5	0,624	0,429

Seperti gerbang AND, output logik dari gerbang NOR ini telah sesuai dengan operasi booleannya. Sesuai dengan analisis inverter sebelumnya, dimana inverter bermasalah pada NML-nya, terlihat pula dari data di atas bahwa gerbang AND memiliki output LOW tidak = 0 (pada saat VSS=0). Ini terkait langsung dengan masih tidak idealnya sifat NML inverter.

**Test Logika Rangkaian Masked-ROM**

Sirkuit ROM yang didesain terdiri dari 2 blok sirkuit : blok dekoder dan blok matrik ROM. Agar sirkuit ROM secara minimum dapat berfungsi, masing-masing blok sirkuit tersebut dicek satu-satu, apakah relasi input-outputnya sesuai dengan fungsionalnya atau tidak. Apabila satu blok saja sudah tidak berfungsi, secara umum dapat dikatakan bahwa sirkuit ROM yang difabrikasi telah tidak berfungsi karena ketidaksempurnaan proses fabrikasi (beberapa pola test berfungsi). Sesuai dengan penjelasan di atas, maka pengujian yang mula-mula dilakukan adalah pengujian terhadap blok dekoder. Hasil pengujian terhadap blok decoder :

**Baris Dekoder**

**Tabel 3.** Data Hasil Pengukuran Vin-Vout Baris Decoder

INPUT (V)		OUTPUT (V)			
I <sub>1</sub>	I <sub>2</sub>	I <sub>1</sub> I <sub>2</sub>			
5	0	2.207	0.340	0.759	0.682
5	5	1.079	3.078	0.622	0.276
0	0	0.588	0.254	3.61	0.2
0	5	0.690	0.460	1.454	1.743

**Kolom Dekoder**

**Tabel 4.** Data Hasil Pengukuran Vin-Vout kolom Decoder

INPUT (V)		OUTPUT (V)			
I <sub>1</sub>	I <sub>2</sub>	I <sub>1</sub> I <sub>2</sub>			
5	0	0.355	0.242	0.810	0.860
5	5	0.356	0.250	0.766	0.876
0	0	0.352	0.242	0.760	0.860
0	5	0.356	0.244	0.766	0.860

**5. KESIMPULAN**

Transistor NMOS hasil penelitian ini bersifat enhancement dengan *threshold voltage* 0,139 Volt. Karakterisasi gerbang logika secara umum telah tercapai, tetapi masih tidak sepenuhnya level logika LOW. Pengujian awal pada blok dekoder menunjukkan bahwa tidak semua dekoder berfungsi. Pada satu bagian blok dekoder yang menunjukkan indikasi berfungsi, meskipun output keluaran logiknya menunjukkan gejala mampu melakukan dekoding input, tetapi level logika output hasil dekodingnya antara HIGH dan LOW sudah mempunyai jarak yang kecil, sehingga tidak akan mampu mendrive blok sirkuit matrik ROM.

**6. DAFTAR PUSTAKA**

- [1] Schroder, D. K., "Semiconductor Material and Devices Characteristic", John Wiley & Sons, Singapore, 1990.
- [2] SZE, S.M. , "Semiconductor Devices, physics and Technology", John Wiley & Son, Singapore, 1985.
- [3] Ruska, W. Scot, "Microelectronic Processing", McGraw-Hill, Inc. , Singapore, 1988.
- [4] Jaeger, R. C, "Volume V Introduction to Microelectronic Fabrication", Addison Wesley Publishing Company, 1989.
- [5] Ade Rukmana, "Sistem Karakterisasi Muatan Oksida Pada Dioda Metal-Oxide-Semiconductor (MOS). Tugas Akhir Jurusan Teknik Elektro, Institut Teknologi Bandung, 2000.
- [6] Bima Soeria Koesoema, "Studi Deposisi Silikon Polikristal dalam Tungku Low Pressure Chemical Vapour Deposition dan Karakterisasinya. Tugas Akhir Jurusan Kimia, Institut Teknologi Bandung, 1994.
- [7] Ir. M. Sarwoko M.Sc. "Elektronika Terpakai". PAU Bidang Mikroelektronik ITB, 1990/1991.